

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4282281号
(P4282281)

(45) 発行日 平成21年6月17日(2009.6.17)

(24) 登録日 平成21年3月27日(2009.3.27)

(51) Int.Cl. F 1
A 6 1 B 1/04 (2006.01) A 6 1 B 1/04 3 7 2

請求項の数 3 (全 11 頁)

(21) 出願番号	特願2002-206536 (P2002-206536)	(73) 特許権者	000005430
(22) 出願日	平成14年7月16日(2002.7.16)		フジノン株式会社
(65) 公開番号	特開2004-49250 (P2004-49250A)		埼玉県さいたま市北区植竹町1丁目324番地
(43) 公開日	平成16年2月19日(2004.2.19)	(74) 代理人	100098372
審査請求日	平成17年4月18日(2005.4.18)		弁理士 緒方 保人
		(72) 発明者	阿部 一則
			埼玉県さいたま市植竹町1丁目324番地 富士写真光機株式会社内
		審査官	小田倉 直人
		(56) 参考文献	特開平07-312710 (JP, A) 特開平10-201706 (JP, A)

最終頁に続く

(54) 【発明の名称】 電子内視鏡装置

(57) 【特許請求の範囲】

【請求項1】

撮像素子を搭載する電子内視鏡がプロセッサ装置を含む本体側装置に接続され、この本体側装置から電子内視鏡へ電源を供給する電子内視鏡装置において、

上記電子内視鏡と上記本体側装置との間を接続する電源/信号共用線と、

上記本体側装置に設けられ、上記電源/信号共用線に電源を供給するための電源供給回路と、

上記電子内視鏡に設けられ、スコープ側発振器を用いて映像信号処理の電子内視鏡側基準パルスを形成する電子内視鏡側同期信号発生回路と、

上記プロセッサ装置に設けられ、上記スコープ側発振器とは異なる発振周波数のプロセッサ側発振器を用いて映像信号処理のプロセッサ側基準パルスを形成するプロセッサ側同期信号発生回路と、

上記電源/信号共用線の供給電源上に上記撮像素子で得られた映像信号を重畳し、かつこの映像信号の第1フィールド(若しくは第1フレーム)又は第2フィールド(若しくは第2フレーム)のいずれか一方のフィールド(若しくはフレーム)の所定のブランキング期間に電子内視鏡側基準パルスを重畳する電子内視鏡側波形重畳回路と、

上記電源/信号共用線の供給電源上に重畳された映像信号の第1フィールド(若しくは第1フレーム)又は第2フィールド(若しくは第2フレーム)の上記電子内視鏡側基準パルスが重畳されない他方のフィールド(若しくはフレーム)の所定のブランキング期間にプロセッサ側基準パルスを重畳するプロセッサ側波形重畳回路と、

10

20

上記電源 / 信号共用線に重畳された映像信号及び電子内視鏡側基準パルスを分離するプロセッサ側分離回路と、

上記電源 / 信号共用線に重畳されたプロセッサ側基準パルスを分離する電子内視鏡側分離回路と、を備え、

上記電子内視鏡側同期信号発生回路では、上記電子内視鏡側分離回路から得られたプロセッサ側基準パルスに同期した映像信号処理のための信号を発生し、上記プロセッサ側同期信号発生回路では、上記プロセッサ側分離回路から得られた電子内視鏡側基準パルスに同期した映像信号処理のための信号を発生し、これらの信号に基づいて映像信号を処理することを特徴とする電子内視鏡装置。

【請求項 2】

上記撮像素子での電荷蓄積時間を電子シャッタ速度として制御する電子シャッタ回路を設け、

上記プロセッサ側波形重畳回路は、上記電源 / 信号共用線で供給される映像信号の所定のブランキング期間に電子シャッタ制御信号を重畳し、

上記電子内視鏡側分離回路は、上記電源 / 信号共用線に重畳された電子シャッタ制御信号を分離することを特徴とする請求項 1 記載の電子内視鏡装置。

【請求項 3】

上記プロセッサ側波形重畳回路は、映像信号において電子内視鏡側基準パルス及びプロセッサ側基準パルスが重畳されたブランキング期間以外のブランキング期間に、電子シャッタ制御信号を重畳することを特徴とする請求項 1 又は 2 記載の電子内視鏡装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は電子内視鏡装置、特にスコープである電子内視鏡をプロセッサ装置に接続するものにおいて、これらの中で電源を供給し、かつ映像信号を伝送するための接続線及び信号伝送の構成に関する。

【0002】

【従来の技術】

電子内視鏡装置では、例えば固体撮像素子である CCD (Charge Coupled Device) が搭載された電子内視鏡 (スコープ) がプロセッサ装置にケーブル及びコネクタにて接続される。そして、このケーブル及びコネクタを介して、プロセッサ装置からスコープへ電源の供給、各種の制御信号の伝送が行われ、またスコープからプロセッサ装置へ映像信号及び各種の制御信号の伝送が行われる。

【0003】

即ち、プロセッサ装置から電源線によって供給された直流電源によってスコープは駆動され、一方スコープの CCD で撮像された映像信号が信号線 (伝送線) を介してプロセッサ装置へ送られており、このプロセッサ装置にて映像信号に対し各種のカラー映像処理を施すことによって被観察体像がモニタに表示される。

【0004】

【発明が解決しようとする課題】

しかしながら、上記電子内視鏡装置では、スコープとプロセッサ装置を接続するケーブルに電源線と複数の信号線を含んでおり、このケーブルコネクタにおいては多ピン構造となるため、いずれかの接続ピンで接触不良が生じたり、接続ピンが破損したりする恐れがあり、コスト的にも高くなるという問題があった。

【0005】

また、近年では、適用部位や目的の異なるスコープを共通のプロセッサ装置に接続できるようにすることが要請され、またスコープに搭載する CCD の多画素化が進んでいることから、多画素化された画素数の異なる CCD を搭載する各種のスコープを、共通のプロセッサ装置に接続可能にすることも要請されている。更に、電子内視鏡装置では、CCD の蓄積電荷時間を可変設定して映像の明るさを制御する電子シャッタ機能が用いられており

10

20

30

40

50

、この電子シャッタ機能を実行可能にすることも必要である。

【0006】

本発明は上記問題点に鑑みてなされたものであり、その目的は、電源線と信号線を共用化し、最小の本数にてスコープとプロセッサ装置を接続することが可能となり、また種類の異なるスコープを共通のプロセッサ装置に接続する場合でも映像処理を良好に実行することができる電子内視鏡装置を提供することにある。

【0007】

【課題を解決するための手段】

上記目的を達成するために、請求項1記載の発明は、撮像素子を搭載する電子内視鏡がプロセッサ装置を含む本体側装置に接続され、この本体側装置から電子内視鏡へ電源を供給する電子内視鏡装置において、上記電子内視鏡と上記本体側装置との間を接続する電源/信号共用線と、上記本体側装置に設けられ、上記電源/信号共用線に電源を供給するための電源供給回路と、上記電子内視鏡に設けられ、スコープ側発振器を用いて映像信号処理の電子内視鏡側基準パルス形成する電子内視鏡側同期信号発生回路と、上記プロセッサ装置に設けられ、上記スコープ側発振器とは異なる発振周波数のプロセッサ側発振器を用いて映像信号処理のプロセッサ側基準パルス形成するプロセッサ側同期信号発生回路と、上記電源/信号共用線の供給電源上に上記撮像素子で得られた映像信号を重畳し、かつこの映像信号の第1フィールド(若しくは第1フレーム)又は第2フィールド(若しくは第2フレーム)のいずれか一方のフィールド(若しくはフレーム)の所定のブランキング期間に電子内視鏡側基準パルスを重畳する電子内視鏡側波形重畳回路と、上記電源/信号共用線の供給電源上に重畳された映像信号の第1フィールド(若しくは第1フレーム)又は第2フィールド(若しくは第2フレーム)の上記電子内視鏡側基準パルスが重畳されない他方のフィールド(若しくはフレーム)の所定のブランキング期間にプロセッサ側基準パルスを重畳するプロセッサ側波形重畳回路と、上記電源/信号共用線に重畳された映像信号及び電子内視鏡側基準パルスを分離するプロセッサ側分離回路と、上記電源/信号共用線に重畳されたプロセッサ側基準パルスを分離する電子内視鏡側分離回路と、を備え、上記電子内視鏡側同期信号発生回路では、上記電子内視鏡側分離回路から得られたプロセッサ側基準パルスに同期した映像信号処理のための信号を発生し、上記プロセッサ側同期信号発生回路では、上記プロセッサ側分離回路から得られた電子内視鏡側基準パルスに同期した映像信号処理のための信号を発生し、これらの信号に基づいて映像信号を処理することを特徴とする。

【0008】

請求項2記載の発明は、上記撮像素子での電荷蓄積時間を電子シャッタ速度として制御する電子シャッタ回路を設け、上記プロセッサ側波形重畳回路は、上記電源/信号共用線で供給される映像信号の所定のブランキング期間に電子シャッタ制御信号を重畳し、上記電子内視鏡側分離回路は、上記電源/信号共用線に重畳された電子シャッタ制御信号を分離することを特徴とする。

請求項3記載の発明は、上記プロセッサ側波形重畳回路は、映像信号において電子内視鏡側基準パルス及びプロセッサ側基準パルスが重畳されたブランキング期間以外のブランキング期間に、電子シャッタ制御信号を重畳することを特徴とする。

【0009】

上記請求項1の構成によれば、電子内視鏡とプロセッサ装置が例えば1本の同軸ケーブル(又はアース線を含めて2本の電線)で接続され、この電源/信号共用線である同軸ケーブルにて、プロセッサ装置から電子内視鏡へ電源が供給されると共に、この電源/信号共用線の供給電源上(電源レベル)に波形重畳する形で電子内視鏡からプロセッサ装置へ映像信号が伝送される。

【0010】

また、この映像信号には、例えば最初の第1フィールド(一般に奇数フィールドとなり、ノンインターレース走査の場合は第1フレームとなる)における第1水平ライン信号のブランキング期間に、電子内視鏡側基準パルス(クロック信号)が重畳されると共に、第

10

20

30

40

50

2 水平ライン以降のブランキング期間に電子内視鏡に関する情報信号（例えば 8 ビットデータ）が重畳され、また第 2 フィールド（又は第 2 フレーム）の第 1 水平ラインのブランキング期間にプロセッサ側基準パルスが重畳される。上記電子内視鏡に関する情報信号としては、電子内視鏡の種類、撮像素子の画素数情報、色信号の処理情報等の各種の情報がある。

【 0 0 1 1 】

そして、電子内視鏡では、プロセッサ側基準パルスが分離抽出され、プロセッサ装置では、電子内視鏡側基準パルスと電子内視鏡に関する情報信号が分離抽出され、この電子内視鏡側基準パルスに同期したクロック信号が形成されると共に、電子内視鏡に関する情報はマイコンに入力され、この情報に基づいた画像処理が行われる。

10

【 0 0 1 2 】

また、請求項 2 の発明によれば、次の第 2 フィールド（一般に偶数フィールドとなり、ノンインターレースの場合は第 2 フレームとなる）における例えば第 2 水平ライン以降のブランキング期間に、電子シャッタ制御信号が重畳される。即ち、プロセッサ装置では映像の明るさが測定されており、この明るさの判定に基づいて撮像素子における電荷蓄積時間（露光時間）を調整するための電子シャッタ速度の制御信号（例えば 8 ビットデータ）が供給電源上に重畳される。そして、この電子シャッタ速度制御信号は、電子内視鏡にて分離抽出されて電子シャッタ回路に供給され、この電子シャッタ回路にて撮像素子での電荷蓄積時間（電子シャッタ速度）が制御される。

【 0 0 1 3 】

20

【発明の実施の形態】

図 1 及び図 2 には、第 1 実施例の電子内視鏡装置の構成が示されており、図 1 において、スコープ（電子内視鏡）A は電源 / 信号共用線である 1 本の同軸ケーブル 1 0 によってプロセッサ装置 B に接続される。このスコープ A の先端部に、例えば 4 1 万画素の CCD 1 2、電子シャッタ回路 1 3 が設けられ、図示していないが、この先端部には光源装置からライトガイドを介して照明光が供給される。上記電子シャッタ回路 1 3 は、上記 CCD 1 2 を駆動すると共に、上記 CCD 1 2 に蓄積された電荷を掃き出す掃出しパルス（SUBパルス）の数を設定することによって、後に蓄積される実質の電荷蓄積時間（露光時間）を電子シャッタ速度として可変制御する。

【 0 0 1 4 】

30

また、このスコープ A には、直流（DC）電源を入力する電源供給回路 1 4、スイッチングレギュレータ等を有し上記電源供給回路 1 4 からの供給電源により複数の電源電圧を形成する電源形成回路 1 5、上記同軸ケーブル 1 0 の供給電源上に重畳された制御信号等を分離する波形分離回路 1 6、供給電源上に映像信号（インターレース走査の信号）を波形重畳し、かつこの映像信号の第 1 フィールド第 1 水平ライン信号のブランキング期間にスコープ側基準パルスを重畳すると共に、第 1 フィールドの第 2 水平ライン信号以降のブランキング期間にスコープ A に関するスコープ情報信号を重畳する波形重畳回路 1 7 が設けられる。このスコープ情報としては、スコープ A の種類、CCD 1 2 の画素数、色信号の処理等の各種の情報がある。

【 0 0 1 5 】

40

更に、後述のプロセッサ側基準パルスの位相と発振信号の位相を比較する位相比較回路 1 8、画素単位のクロック信号、水平同期（HD）信号、垂直同期（VD）信号、リセット信号等の信号を形成するタイミングジェネレータ（TG）1 9 が設けられている。このタイミングジェネレータ 1 9 は、4 1 万画素 CCD 1 2 の駆動用周波数 2 8 . 6 3 6 3 M H z を発振する水晶発振器 1 9 a と可変容量ダイオード 1 9 b を有し、上記スコープ側基準パルスとして周波数 2 8 . 6 . 6 3 M H z のクロック信号を出力し、また上記位相比較回路 1 8 と共に PLL（Phase Locked Loop）を形成することによってプロセッサ側基準パルスに同期した信号を発生させる同期信号発生回路として機能する。

【 0 0 1 6 】

また、上記 CCD 1 2 の出力信号を入力するバッファ 2 0、スコープ A の各回路を統括制

50

御するマイコン21、及びスコープの種類、画素数、色信号処理等のスコープAに関するスコープ情報を格納したEEPROM50等が設けられており、このスコープ情報信号はマイコン21によって波形重畳回路17へ供給される。

【0017】

一方、プロセッサ装置Bには、スコープAへDC電源を供給するための電源供給回路23、供給電源上において電子シャッタ速度等の制御信号の波形を第2フィールドのブランキング期間に重畳する波形重畳回路24、AC成分である上記映像信号、スコープ側基準パルスやスコープ情報信号を分離する波形分離回路25が設けられる。また、この波形分離回路25の出力を入力するように、位相比較器26及び同期信号発生器(SSG)27が設けられており、この位相比較器26は、スコープ側基準パルスの位相と発振信号の位相を比較し、その位相差に比例した電圧を発生させる。上記同期信号発生器27は、例えば41万画素CCDの駆動用の周波数28.6363MHzを発生する水晶発振器27a、可変容量ダイオード27b有し、上記位相比較回路26の出力電圧を発振器27aと可変容量ダイオード27bの接続点に入力し、PLLを形成することにより、上記スコープ側基準信号に同期させたクロック、水平同期(HD)信号、垂直同期(VD)信号等を発生させる。

10

【0018】

また、このプロセッサ装置Bには、各回路を統括制御するマイコン31が設けられ、更に上記波形分離回路25から映像信号を入力し、相関二重サンプリングを行う相関二重サンプリング(CDS)回路32、A/D変換器33、映像信号に対しカラー映像形成のための各種処理を施すDSP(デジタルシグナルプロセッサ)回路34、映像の拡大・縮小を電子的に行う電子ズーム回路35、D/A変換器36、アンプ37等が設けられる。

20

【0019】

図2には、スコープAの電源供給回路14、波形分離回路16及び波形重畳回路17の具体的な回路が示されており、上記電源供給回路14では、上記同軸ケーブル10に繋がる供給電源線70に直列接続され、高周波を阻止するチョークコイル L_1 と、供給電源線70に並列接続されるコンデンサ C_1 とから平滑回路を構成する。上記波形分離回路16では、供給電源線70からの入力に対し基準電位を与える基準電圧源(Ref.)16A、AC(交流)成分を抜き取るためのコンデンサ C_2 、抵抗 R_1 等が配置され、供給電源線70からAC成分、即ちプロセッサ装置Bから供給された制御信号を分離する。

30

【0020】

次に、上記波形重畳回路17では、供給電源線70とアースとの間に、コイル L_2 とトランジスタTrが配置され、このトランジスタTrのコレクタがコイル L_2 の一端、エミッタがアースに接続され、このトランジスタTrのベースに、重畳信号として上記バッファ20からの映像信号と上記タイミングジェネレータ19からの基準クロックパルスが与えられる。また、上述した波形重畳回路17と波形分離回路16の構成は、プロセッサ装置Bでの波形重畳回路24と波形分離回路25の構成としても同様に用いられる。

【0021】

第1実施例は以上の構成からなり、上記プロセッサ装置Bの電源を投入すると、電源供給回路23からDC電源が同軸ケーブル10を介してスコープAへ供給される。一方、上記スコープAでは、電源供給回路14にて電源供給回路23から供給されたDC電源を受けると、電源形成回路15により所定電圧の複数の電源が形成され、これが各回路へ供給される。

40

【0022】

そして、上記DC電源が、電子シャッタ回路13へ供給されると、この電子シャッタ回路13によってCCD12が駆動され、被観察体が撮像される。このCCD12から出力された撮像信号(映像信号)は、バッファ20を介して波形重畳回路17へ供給され、この波形重畳回路17によって映像信号が供給電源上(70)に重畳されることになり、この映像信号は同軸ケーブル10を介してプロセッサ装置Bへ送られる。このとき、上記波形重畳回路17には、マイコン21の制御によって、まずタイミングジェネレータ19から

50

基準パルス（周波数 28.6363 MHz のクロック信号）が 10 パルス程度、入力され、この基準パルスが同期用信号として上記映像信号の第 1 フィールド第 1 水平ライン信号のブランキング期間に重畳される。

【 0 0 2 3 】

図 3 には、上記波形重畳回路 17 の出力状態の一部が示されており、例えば DC 電源が 12 V であるとする、12 V の供給電圧上に映像信号の水平ライン信号（実質的な映像信号） S_{a1} 、 S_{a2} 、 S_{a3} 、... が反転状態で重畳される。そして、映像信号（インターレース走査する場合）の第 1（最初の）フィールド（一般に奇数フィールドとなる）の第 1 水平ライン信号 S_{a1} のブランキング期間 B_{a1} に、基準パルス S_e が 10 パルス程度、重畳される（図 5）。

10

【 0 0 2 4 】

また、当該例では、図 5 に示されるように、マイコン 21 の制御によって、スコープ情報が波形重畳回路 17 にて第 1 フィールドの第 2 水平ライン信号（ $2H - S_{a2}$ ）以降のブランキング期間に波形重畳される。図 4 に示されるように、EEPROM 50 には、スコープ A 側の種類、CCD 12 の画素数、色信号の処理等のスコープ情報がアドレス 0, 1, 2... に 8 ビットのデータで格納されている場合を考えると、1 水平ライン信号のブランキング期間毎に、1 つのパルスで 1 を表す 1 又は 0 のビットデータが波形重畳される。即ち、図 5 に示されるように、例えば第 2 水平ライン信号 2H から第 5 水平ライン信号 5H（四角が実際の映像信号部分）のブランキング期間 $B_{a2} \sim B_{a5}$ にアドレス 0 のデータ、“0, 0, 0, 0” が波形重畳され、第 6 水平ライン信号 6H から第 13 水平ライン信号 13H のブランキング期間 $B_{a6} \sim B_{a13}$ にスコープデータ、“1, 0, 1, 0, 0, 1, 0, 0” が順に波形重畳される。

20

【 0 0 2 5 】

一方、プロセッサ装置 B の波形分離回路 25 では、上記同軸ケーブル 10 を介して供給される AC 成分が分離され、図 3 及び図 5 で説明した水平ライン信号 S_{a1} 、 S_{a2} 、 S_{a3} ... の映像信号は CDS 回路 32 へ供給され、最初にブランキング期間 B_{a1} から分離したスコープ側基準パルス S_e は位相比較回路 26 を介して同期信号発生器 27 へ供給される。この位相比較回路 26 及び同期信号発生器 27 では、PLL が機能し可変容量ダイオード 27b に加えられる電圧が変化することによって上記基準パルス S_e に同期したクロック信号、そして水平同期信号、垂直同期信号等のタイミング信号が形成される。即ち、上記の基準パルス S_e の重畳位置が第 1 フィールドの第 1 水平ライン信号であることが予め分かっているので、このパルス S_e に基づいて水平走査の同期、垂直走査の同期がとれることになり、これらのタイミング信号は CDS 回路 32 等へ供給される。

30

【 0 0 2 6 】

また、この波形分離回路 25 では、図 5 の第 2 水平ライン信号 2H 以降のブランキング期間 $B_{a2} \sim B_{a13}$ 、 $B_{a14} \sim$ からスコープ情報信号が分離され、このスコープ情報はマイコン 31 へ供給される。このスコープ情報により、マイコン 31 では、接続したスコープ A に適した映像処理の制御が実行され、異なる種類のスコープ A が接続された場合でも、そのスコープ特性に応じた良好な処理が行われる。

【 0 0 2 7 】

そして、上記 CDS 回路 32 では、入力された映像信号が相関二重サンプリングされ、次段の A/D 変換器 33 でデジタル信号とされた信号は、DSP 回路 34 にてカラー映像処理が施され、電子ズーム回路 35、D/A 変換器 36 及びアンプ 37 を介してモニタへ供給される。

40

【 0 0 2 8 】

更に、当該例のスコープ A の電子シャッタ回路 13 では、電子シャッタ速度の可変設定によって映像の明るさを調整しており、この電子シャッタ速度の制御信号がプロセッサ装置 B から上記同軸ケーブル 10 を介してスコープ A へ供給される。即ち、上記 DSP 回路 34 では、現在の映像信号の測光信号又は輝度信号が検出され、これらに基づいて映像の明るさを一定にする電子シャッタ速度の制御信号がマイコン 31 へ供給されており、この結

50

果、波形重畳回路 24 を介して上記電子シャッタ速度の制御信号が電源上の第 2 フィールドのブランキング期間に重畳される。

【0029】

例えば、この電子シャッタ速度の制御信号は、1 水平同期信号に同期した掃出しパルス数（例えば 0 から 252）を表す 8 ビットデータであり、図 6 に示されるように、第 2 フィールドの第 2 水平ライン 2H (S_{b2}) から第 9 水平ライン 9H のブランキング期間 $B_{b2} \sim B_{b9}$ に、電子シャッタ速度制御データ “0, 1, 1, 0, 0, 0, 0, 1” が順に重畳される。

【0030】

そうして、スコープ A の波形分離回路 16 では、同軸ケーブル 10 から供給される電源上から上記電子シャッタ速度制御信号が分離され、この制御信号はマイコン 21 を介して電子シャッタ回路 13 へ送られる。この結果、電子シャッタ回路 13 では、電子シャッタ速度制御信号である掃出しパルス数によって蓄積電荷の掃出し時間が制御され、この掃出し後の電荷蓄積時間が電子シャッタ速度として制御される。

【0031】

以上のようにして、電源 / 信号共用線である同軸ケーブル 10 を介して供給されたスコープ側基準パルス S_e とスコープ情報に基づいてプロセッサ装置 B が映像処理を実行し、かつ同軸ケーブル 10 を介して供給された電子シャッタ速度制御信号に基づいてスコープ A が露光時間制御を実行することにより、被観察体の映像をモニタに良好に表示することが可能となる。

【0032】

また、当該実施例では、異なる画素数の各種のスコープ A を接続する場合に対応した処理が行えるようになっている。例えば、スコープ A が 27 万画素の CCD 12 を搭載し、プロセッサ装置が 41 万画素の撮像素子の処理を基準とするように構成されている場合は、スコープ A が発振周波数 19.0632 MHz のクロック信号を用い、プロセッサ装置 B が発振周波数 28.6363 MHz のクロック信号を用いることになり、プロセッサ装置 B にてスコープ側基準パルス S_e に基づいて同期をとるだけでは、不十分となる。即ち、10 パルス程度の基準パルスは、スコープ A からプロセッサ装置 B までの長さを伝送すること、またトランスを通すこと等によってその波形に歪みが生じ、この波形歪みによって正確な同期状態が得られなくなる。

【0033】

そこで、当該例では、スコープ A でもプロセッサ側基準パルスに基づいて同期がとれるように構成される。例えば、図 1 のプロセッサ装置 B の同期信号発生器 27 では、発振周波数 28.6363 MHz を分周器で 2/3 分周した 19.0909 MHz を形成し、これをプロセッサ側基準パルスとして、スコープ A へ同軸ケーブル 10 を介して送る。即ち、波形重畳回路 24 にて、図 3 に示されるように、映像信号の第 2 フィールド（一般に偶数フィールドとなる）の第 1 水平ライン信号 S_{b1} のブランキング期間に B_{b1} に、プロセッサ側基準パルス S_p が 10 パルス程度、重畳される。

【0034】

一方、スコープ A のタイミングジェネレータ 19 でも、同期信号発生機能を有しており、波形分離回路 16 から分離した上記プロセッサ側基準パルス S_p に同期した信号を形成する。このプロセッサ側基準パルス S_p の場合も、この重畳位置が第 2 フィールドの第 1 水平ライン信号であることが分かっているので、このパルス S_p の入力によって水平走査の同期、垂直走査の同期がとれることになる。

【0035】

このようにして、プロセッサ装置 B では、第 1 フィールド第 1 水平ライン信号に重畳したスコープ側基準パルス S_e に同期させると共に、スコープ A では、第 2 フィールド第 1 水平ライン信号に重畳したプロセッサ側基準パルス S_p に同期させることにより、波形歪みの生じない安定した信号同期が行われる。

【0036】

10

20

30

40

50

更に、上記の場合、スコープ側基準パルスの周波数 19.0632MHz とプロセッサ側基準パルスの周波数 19.0909MHz が相違することから、水平方向の幅が少し小さくなるが、この水平方向の幅は電子ズーム回路 35 等で補正される。即ち、電子ズーム回路 35 に設けられた画像メモリにおいて、スコープ側基準パルスに同期したタイミングで書き込まれた画像データを、発振周波数 28.6363MHz から形成した約 $63.5\mu\text{sec}$ の水平同期信号のタイミングで読み出すことにより、水平方向の幅を修正することができる。

【0037】

上記実施例では、スコープ情報信号を第 1 フィールド第 2 水平ライン信号以降のブランキング期間に重畳し、電子シャッタ速度制御信号を第 2 フィールド第 2 水平ライン信号以降のブランキング期間に重畳したが、これらの重畳位置は任意に変更設定することができる。また、上記例では、インターレース走査の場合を説明したが、ノンインターレース走査の場合は、スコープ側基準パルス S_e を第 1 (最初の) フレームの第 1 水平ライン信号のブランキング期間、スコープ情報信号を第 1 フレームの第 2 水平ライン信号以降のブランキング期間に重畳し、プロセッサ側基準パルス S_p を第 2 フレームの第 1 水平ライン信号のブランキング期間に重畳し、電子シャッタ速度制御信号を第 2 フレーム第 1 水平ライン信号以降の所定のブランキング期間に重畳することができる。

【0038】

更に、上記実施例とは逆に、プロセッサ側基準パルス S_p を第 1 フィールド (又は第 1 フレーム) の第 1 水平ライン信号 S_{a1} のブランキング期間 B_{a1} に重畳し、スコープ側基準パルス S_e を第 2 フィールド (又は第 2 フレーム) の第 1 水平ライン信号 S_{b1} のブランキング期間 B_{b1} に重畳することもできる。

【0039】

【発明の効果】

以上説明したように、本発明によれば、電子内視鏡とプロセッサ装置との間に電源 / 信号共用線を配設し、かつ電子内視鏡側では供給電源上に映像信号を重畳し、かつこの映像信号の例えば第 1 フィールド第 1 水平ライン信号のブランキング期間に電子内視鏡側基準パルスを重畳すると共に、第 2 フィールド第 1 水平ライン信号のブランキング期間にプロセッサ側基準パルスを重畳し、電子内視鏡側では、プロセッサ側基準パルスに同期した映像信号処理のための信号を形成し、プロセッサ装置側では電子内視鏡側基準パルスに同期した映像信号処理のための信号を形成し、これらの信号に基づいて映像信号の処理を施すようにしたので、電源線と信号線を共用化し、例えば同軸ケーブル 1 本にて電子内視鏡とプロセッサ装置を接続することができ、種類の異なる電子内視鏡を共通のプロセッサ装置に接続する場合でも良好な映像を形成することが可能となる。そして、接続ピンの接触不良等もなくなり、製作コストも削減される。

【0040】

また、請求項 2 の発明によれば、プロセッサ装置側では、上記電源 / 信号共用線で供給される映像信号の例えば第 2 フィールドの所定のブランキング期間に電子シャッタ制御信号を重畳し、電子内視鏡側では、電源上から分離した電子シャッタ制御信号によって電子シャッタ制御を行うようにしたので、電子シャッタ機能による露光制御が実行された良好な映像を得ることができる。

【図面の簡単な説明】

【図 1】本発明の実施例に係る電子内視鏡装置の構成を示すブロック図である。

【図 2】実施例の電源供給回路、波形分離回路及び波形重畳回路の具体的な構成を示す図である。

【図 3】実施例の波形重畳回路において供給電源上に伝送信号が重畳された状態を示す図である。

【図 4】実施例の EEPROM に格納されたスコープ情報データを示す図である。

【図 5】実施例において供給電源上に重畳される映像信号の第 1 フィールドの信号を示す図である。

10

20

30

40

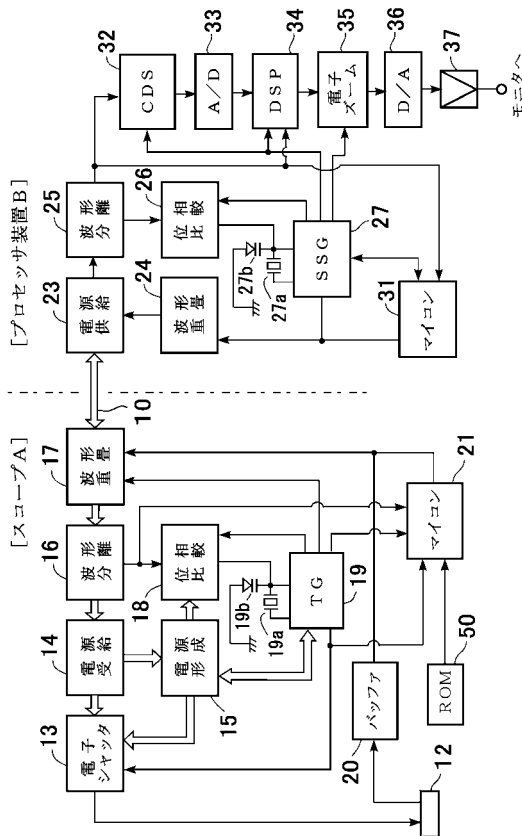
50

【図6】実施例において供給電源上に重畳される映像信号の第2フィールドの信号を示す図である。

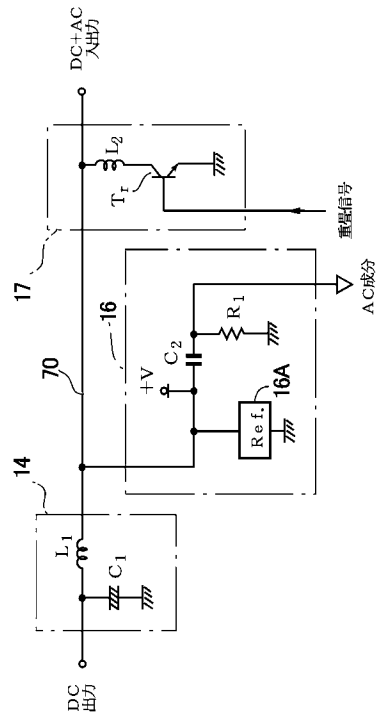
【符号の説明】

- A ... スコープ（電子内視鏡）、 B ... プロセッサ装置、
- 12 ... CCD、 13 ... 電子シャッタ回路、
- 14 ... 電源受給回路、 16, 25 ... 波形分離回路、
- 17, 24 ... 波形重畳回路、
- 19 ... タイミングジェネレータ（TG）、
- 21, 31 ... マイコン、 23 ... 電源供給回路、
- 18, 26 ... 位相比較回路、
- 27 ... 同期信号発生器（SSG）、
- 19a, 27a ... 水晶発振器、 32 ... CDS回路、
- 34 ... DSP回路、 50 ... EEPROM。

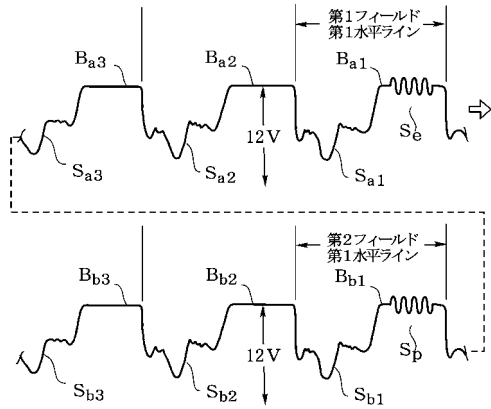
【図1】



【図2】



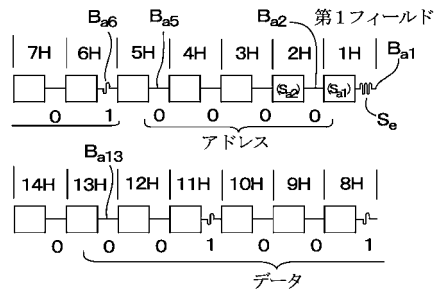
【図3】



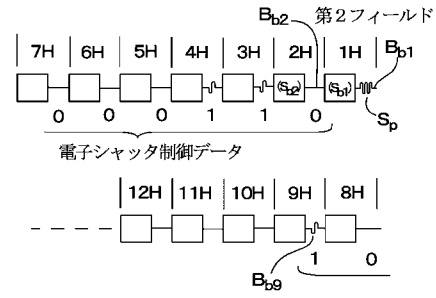
【図4】

データ	アドレス
00100101	0
01000100	1
00000111	2
⋮	3
⋮	⋮

【図5】



【図6】



フロントページの続き

(58)調査した分野(Int.Cl. , D B名)

A61B 1/04

专利名称(译)	电子内视镜装置		
公开(公告)号	JP4282281B2	公开(公告)日	2009-06-17
申请号	JP2002206536	申请日	2002-07-16
[标]申请(专利权)人(译)	富士写真光机株式会社		
申请(专利权)人(译)	富士摄影光学有限公司		
当前申请(专利权)人(译)	富士公司		
[标]发明人	阿部一則		
发明人	阿部 一則		
IPC分类号	A61B1/04 G02B23/24		
FI分类号	A61B1/04.372 A61B1/00.640 A61B1/00.680 A61B1/04 A61B1/04.370 A61B1/04.520 A61B1/045.632 A61B1/05 G02B23/24.B		
F-TERM分类号	2H040/FA13 2H040/FA14 2H040/GA02 2H040/GA05 2H040/GA11 4C061/BB01 4C061/CC06 4C061/GG11 4C061/JJ11 4C061/JJ18 4C061/JJ19 4C061/NN01 4C061/NN03 4C061/NN05 4C061/NN07 4C061/NN09 4C061/SS04 4C061/TT01 4C061/TT12 4C061/UU10 4C061/VV06 4C061/YY02 4C061/YY14 4C161/BB01 4C161/CC06 4C161/GG11 4C161/JJ11 4C161/JJ18 4C161/JJ19 4C161/NN01 4C161/NN03 4C161/NN05 4C161/NN07 4C161/NN09 4C161/SS04 4C161/SS06 4C161/TT01 4C161/TT12 4C161/UU10 4C161/VV06 4C161/YY02 4C161/YY14		
其他公开文献	JP2004049250A		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使通过共用电源线和信号线使用不同类型的示波器，也可以实现更好的图像处理。
 解决方案：一个同轴电缆10布置在示波器A和处理器单元B之间。在示波器A中，图像信号重叠在同轴电缆10的电源上，而在下面的消隐期间信号范围信息信号在其上。具有波形重叠电路17的图像信号的第一场中的第一水平线信号，并且在处理器单元B中，在第二场中的第一水平线信号的消隐周期期间，电子快门控制信号重叠在其上图像信号。因此，在处理器单元B中，对应于示波器特性执行图像处理，并且在范围A中，通过电子快门控制良好地保持图像的亮度。

【图2】

